



JRW
PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

RE APPLICATION OF: SUNG-FEI WANG
SERIAL NO.: 10/807,153
FILED: March 24, 2004
FOR: Multi-Chips Module Package

GROUP ART UNIT: 2841
EXAMINER: Unassigned
ATTY. REFERENCE: WANG3231/EM

COMMISSIONER OF PATENTS
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The below identified communication(s) or document(s) is(are) submitted in the above application or proceeding:

Priority Document - Taiwanese Application No. 092106681

- Please debit or credit **Deposit Account Number 02-0200** for any deficiency or surplus in connection with this communication.
- Small Entity Status is claimed.
-

23364

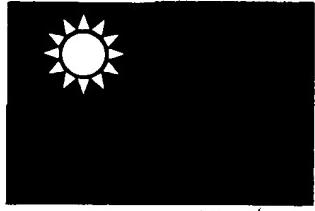
CUSTOMER NUMBER

BACON & THOMAS, PLLC
625 Slaters Lane- Fourth Floor
Alexandria, Virginia 22314
(703) 683-0500

Date: March 21, 2005

Respectfully submitted,

Eugene Mar
Attorney for Applicant
Registration Number: 25,893



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 03 月 25 日
Application Date

申請案號：092106681
Application No.

申請人：日月光半導體製造股份有限公司
Applicant(s)

局長

Director General

蔡綠生

CERTIFIED COPY OF
PRIORITY DOCUMENT

發文日期：西元 2004 年 3 月
Issue Date

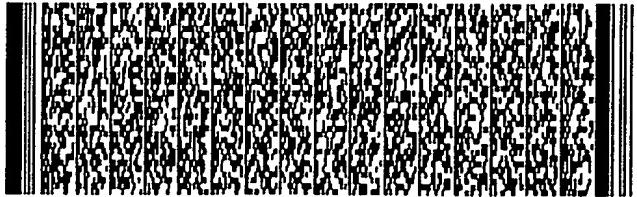
發文字號：
Serial No. 09320274110

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	多晶片封裝體及其製造方法
	英文	MULTI-CHIPS MODULE AND MANUFACTURING METHOD THEREOF
二、 發明人 (共1人)	姓名 (中文)	1. 王頌斐
	姓名 (英文)	1. Wang, Sung-Fei
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 高雄市楠梓區加昌路729巷90弄21號
	住居所 (英 文)	1. No. 21, Alley 90, Lane 729, Jiachang Rd., Nantz Chiu, Kaohsiung, Taiwan 811, R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 日月光半導體製造股份有限公司
	名稱或 姓名 (英文)	1. Advanced Semiconductor Engineering, Inc.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 811高雄市楠梓加工區經三路26號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 26 Chin 3rd Rd., Nantze Export Processing Zone Kaoshiung, Taiwan, R.O.C.
	代表人 (中文)	1. 張虔生
	代表人 (英文)	1. Chang, Jason



四、中文發明摘要 (發明名稱：多晶片封裝體及其製造方法)

一種多晶片封裝體，至少包含一載板、一第一晶片、一第二晶片、一矽基板、複數條導線與一封裝材料。其中，多晶片封裝體係藉由導線電性連接第一晶片、第二晶片與載板，並藉由矽基板以電性連接第一晶片與第二晶片，從而能夠降低多晶片封裝體的厚度，縮短訊號傳送的路徑。另，本發明亦提供一種多晶片封裝體之製造方法。

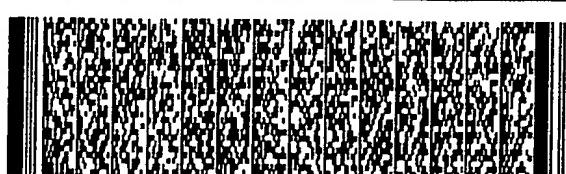
五、(一)、本案代表圖為：圖5

(二)、本案代表圖之元件代表符號簡單說明：

200	多晶片封裝體
210	載板
212	載板上表面
214、216	晶片座
218	打線連接墊
222	載板下表面

六、英文發明摘要 (發明名稱：MULTI-CHIPS MODULE AND MANUFACTURING METHOD THEREOF)

A multi-chips module comprises at least a carrier, a first chip, a second chip, a die-substrate, a plurality of conductive wires and an encapsulation material. The first die and the second chip are respectively electrically connected to the carrier via the conductive wires and the first die is electrically connected to the second die by the die-substrate. In such manner, the thickness of the

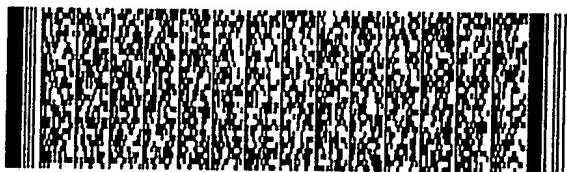


四、中文發明摘要 (發明名稱：多晶片封裝體及其製造方法)

224	鋸 墊
230、250	晶 片
232、252	晶 片 主 動 表 面
234、254	接 合 晶 片 墊
236、256	打 線 晶 片 墊
242、262	晶 片 背 面
270	封 裝 材 料
282	導 線
284	鋸 球
300	矽 基 板
302、304	凸 塊 墊
306	導 電 線 路
312、314	凸 塊

六、英文發明摘要 (發明名稱：MULTI-CHIPS MODULE AND MANUFACTURING METHOD THEREOF)

multi-chips module will be reduced and the signal transmission paths will be shortened. In addition, a manufacturing method for the multi-chips module is also provided.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

(一)、【發明所屬之技術領域】

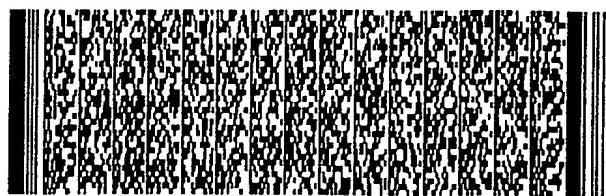
本發明是有關於一種多晶片封裝體及其製造方法，特別是有關於一種能夠降低封裝厚度、減少訊號傳送損失及簡化製程之多晶片封裝體及其製造方法。

(二)、【先前技術】

在半導體產業中，積體電路(Integrated Circuits, IC)的生產，主要分為三個階段：晶圓(Wafer)製造、積體電路(IC)製作以及積體電路(IC)封裝(Package)等。其中，晶片係經由在晶圓上形成半導體元件以及切割晶圓等步驟而完成，而每一顆由晶圓切割所形成的晶片，經由晶片上之鋸墊(Bonding Pad)與外部訊號電性連接後，再以封膠材料將晶片包覆著，其封裝之目的在於防止晶片受到濕氣、熱量、雜訊的影響，並提供晶片與外部電路，比如與印刷電路板(Printed Circuit Board, PCB)或其他封裝用載板之間電性連接的媒介，如此即完成積體電路的封裝(Package)步驟。

為了連接上述之晶片和封裝用載板，通常會使用導線(Wire)作為接合之媒介。隨著晶片積密度的增加，多晶片模組封裝(Multi-Chip Module, MCM)已逐漸成為未來封裝型態的主要趨勢。

以動態隨機存取記憶體(dynamic random access memory, DRAM)以及中央處理器(CPU)為例，利用多晶片模組封裝(MCM)的封裝結構可將多個DRAM以及中央處理器



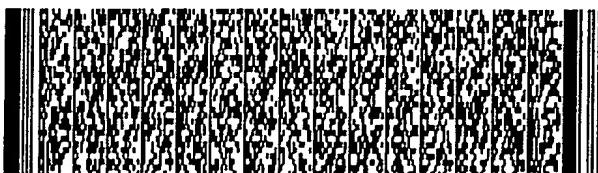
五、發明說明 (2)

(CPU) 封裝在同一個載板上，如此不僅提高構裝密度、減少空間需求，也降低了封裝模組之間訊號延遲的現象，以達到高速處理的目的，因此廣泛被應用在通訊及攜帶式電子產品中。

請參照圖1，係顯示習知一種多晶片封裝體之剖面示意圖。其中多晶片封裝體100包括一載板110、二晶片130、150、一封裝材料170、多條導線180、182及多個錫球184。其中載板110具有一上表面112及一下表面122，並且載板110還具有二晶片座114、116、多個接點118，其中晶片座114、116及接點118係設置在載板110之上表面112上，錫墊124係設置在載板110之下表面122上。

晶片130具有一主動表面132及對應之一背面142，並且晶片130還具有打線晶片墊134，設置在晶片130之主動表面132上之側邊。而晶片130係以其背面142並藉由一黏著材料144貼附在載板110之晶片座114上。此外，晶片150更具有一主動表面152及對應之一背面162，並且晶片150還具有打線晶片墊154，設置在晶片150之主動表面152上的側邊。而晶片150係以其背面162並藉由一黏著材料164貼附在載板110之晶片座116上。

承上所述，晶片130與晶片150係藉由打線方式，透過導線180以使晶片130與晶片150電性連接，而導線180之一端係接合到晶片130之打線晶片墊134上，導線180之另一端係接合到晶片150之打線晶片墊154上。再者，晶片130、150係藉由打線的方式，透過導線182以使晶片130、150個



五、發明說明 (3)

別與載板110電性連接，而導線182之一端係個別接合到晶片130、150之打線晶片墊134、154上，導線182之另一端係個別接合到載板110之接點118上。

另外，封裝材料170係包覆晶片130、150、載板110之上表面112及導線180、182，而鋯球184係設置在載板110之鋯墊124上。

在上述之多晶片封裝體100中，晶片130與晶片150係必須藉由導線180進行電性連接，然而，導線180係必須具有一定的彎折形狀與厚度，才能確保其不會垮掉，因而，在晶片130、150的距離較長時會使得導線180的厚度增加，因而使得晶片封裝模組具有較厚的厚度而導致封裝體積變大。

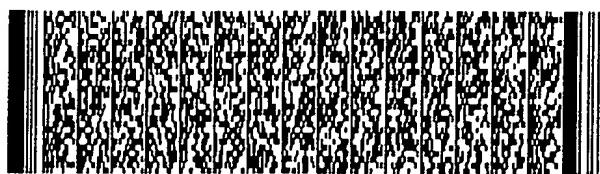
此外，上述導線180的厚度增加的話，亦會使得所使用的導線長度增加，因而使得訊號的傳送路徑變得較長，從而影響晶片間的訊號傳輸效能。

有鑑於此，為避免前述多晶片封裝體之缺點，以提升多晶片封裝體中之晶片效能，實為一重要的課題。

(三)、【發明概要】

有鑑於上述課題，本發明之目的係提供一種多晶片封裝體，以矽基板取代傳統之導線，以作為晶片間訊號整合及電性導通之媒介。如此不僅可提升晶片間訊號傳輸之效能及簡化製程，更可使多晶片封裝體之效能提高。

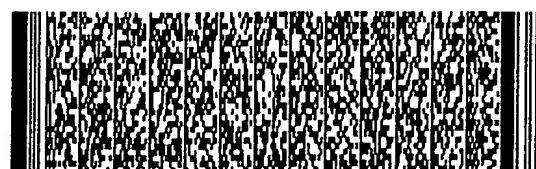
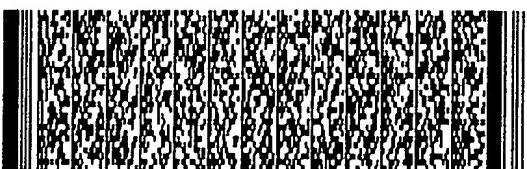
緣是，為了達成上述目的，本發明係提供一種多晶片



五、發明說明 (4)

封裝體，此多晶片封裝體至少包括一載板、一第一晶片、一第二晶片、一矽基板、複數個凸塊、複數條導線與一封裝材料。載板係具有一上表面與複數個打線連接墊，並且打線連接墊設置於上表面。第一晶片具有一第一主動表面、一第一背面、至少一第一打線晶片墊與至少一第一接合晶片墊，其中第一晶片係以第一背面設置在載板之上表面，並且第一打線鋸墊與第一接合鋸墊係設置在第一主動表面。第二晶片具有一第二主動表面、一第二背面、至少一第二打線晶片墊與至少一第二接合晶片墊，其中第二晶片係以第二背面設置在載板之上表面，並且第二打線晶片墊與第二接合晶片墊係設置在第二主動表面。矽基板具有至少一第一凸塊墊、至少一第二凸塊墊與至少一導電線路，其中第一凸塊墊係藉由導電線路電性連接第二凸塊墊。凸塊係個別介於第一凸塊墊與第一接合晶片墊之間以及介於第二凸塊墊與第二接合晶片墊之間，並藉由凸塊使矽基板與第一晶片、第二晶片電性連接。導線係個別電性連接第一打線晶片墊、第二打線晶片墊至打線連接墊；以及封裝材料包覆第一晶片、第二晶片、矽基板、導線與載板之上表面。

本發明另提供一種多晶片封裝體之製造方法，此方法係提供一載板，其中此載板具有一上表面與複數個打線連接墊，並且打線連接墊設置於主動表面。接著，於載板之主動表面上設置一第一晶片與一第二晶片，其中第一晶片具有一第一主動表面、一第一背面、至少一第一打線晶片



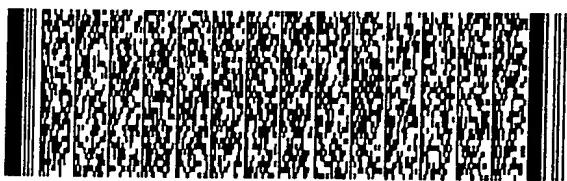
五、發明說明 (5)

墊與至少一第一接合晶片墊，且第一晶片係以第一背面設置在載板之上表面，並且第一打線鋸墊與第一接合鋸墊係設置在第一主動表面，第二晶片具有一第二主動表面、一第二背面、至少一第二打線晶片墊與至少一第二接合晶片墊，且第二晶片係以第二背面設置在載板之上表面，並且第二打線晶片墊與第二接合晶片墊係設置在第二主動表面。然後，於第一晶片與第二晶片上設置一矽基板，其中矽基板具有至少一第一凸塊墊、至少一第二凸塊墊與至少一導電線路，第一凸塊墊係藉由導電線路電性連接第一凸塊墊，並且矽基板係藉由複數個凸塊個別電性連接第二凸塊墊與第二接合晶片墊，以電性連接第一晶片與第二晶片。其後，於第一打線晶片墊、第二打線晶片墊與打線連接墊間個別設置一導線，之後，於載板之上表面設置一封裝材料，以包覆第一晶片、第二晶片、矽基板、導線與載板之上表面。

綜上所述，本發明之多晶片封裝體之晶片間係使用矽基板以進行電性連接，除使得封裝結構的總厚度得以降低，從而能夠使多晶片封裝體達到輕、薄、短、小的目的。更可以使得晶片間的信號傳送路徑得以縮短，從而能夠減少晶片間信號傳送的損失，提升多晶片封裝體的信號傳送效能。

(四)、【實施方式】

以下將參照相關圖式，說明依本發明較佳實施例之多



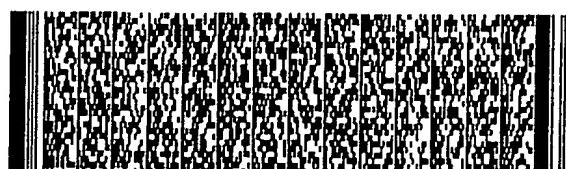
五、發明說明 (6)

晶片封裝體及其製造方法。

圖2至圖5係顯示本發明較佳實施例之多晶片封裝體的封裝製程。首先，請參照圖2。提供一載板210，載板210係具有一上表面212及一下表面222，並且載板210還具有二晶片座214、216、多個打線連接墊218。其中，載板210可為一基板或釘架，而晶片座214、216及打線連接墊218係設置在載板210之上表面212上，鋸墊224係設置在載板210之下表面222上，而鋸墊224更可設置有鋸球284。

接著，提供二晶片230、250並設置於載板210之上表面212。其中晶片230具有一主動表面232及對應之一背面242，並且晶片230還具有接合晶片墊234與打線晶片墊236，設置在晶片230之主動表面232上的側邊。而晶片230係以其背面242並藉由一黏著材料244貼附在載板210之晶片座214上。並且，晶片250具有一主動表面252及對應之一背面262，並且晶片250還具有接合晶片墊254與打線晶片墊256，設置在晶片250之主動表面252上的側邊。而晶片250係以其背面262並藉由一黏著材料264貼附在載板210之晶片座216上。

接著，請參照圖3，提供一矽基板300，該矽基板300係具有凸塊墊302、凸塊墊304以及連通對應凸塊墊302與凸塊墊304之導電線路306，凸塊墊302、凸塊墊304係個別對應晶片230之接合晶片墊234與晶片250之接合晶片墊254。再者，凸塊墊302、304上係個別形成有凸塊312、314，且晶片230、250係藉由凸塊312、314與晶片230、250之接合晶



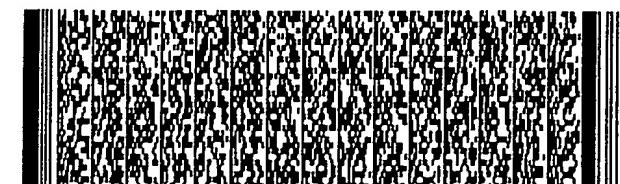
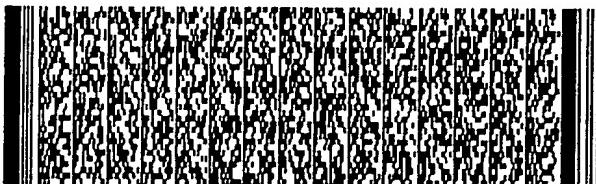
五、發明說明 (7)

片墊234、254電性連接。其中，上述之矽基板300亦可為一晶片基板(die-substrate)，而導電線路306、凸塊墊302及凸塊墊304則可利用晶片(晶圓)製造技術內嵌於晶片基板中；或者，可利用曝光、微影及蝕刻等方式將導電線路306、凸塊墊302及凸塊墊304形成於晶片基板之表面。

之後，再進行打線製程，以使晶片230、250能透過導線282與載板210電性連接。其中，導線282之一端係接合到晶片230之打線晶片墊236上，而另一端係接合到載板210之打線連接墊218上。同樣地，導線282之一端係接合到晶片250之打線晶片墊254上，而相對應之另一端係接合到載板210之打線連接墊218上。

接著，請參照圖4。首先，提供一封膠模具400，而封膠模具400具有模穴402，接下來將欲封膠之晶片230、250以及載板210之半成品放置於封膠模具400中，而模穴402可蓋住晶片230、250、矽基板300、導線282以及載板210之打線連接墊218。接著，進行填膠的動作，將熔融的封裝材料270(molding compound)充填於模穴402之中，等到封裝材料270冷卻硬化之後，再進行脫模，而得到如圖5之已封膠的多晶片封裝體200。

由於在上述電性連接晶片230、250的步驟中，係使用矽基板300以取代以往打線的方式，因此封裝的厚度得以降低，從而得以縮小封裝的厚度。而且，由於使用矽基板300係能夠較習知打線的方式更縮短訊號傳送的路徑，從而能夠減少訊號傳送的損失，獲致更佳的訊號傳送效能。



五、發明說明 (8)

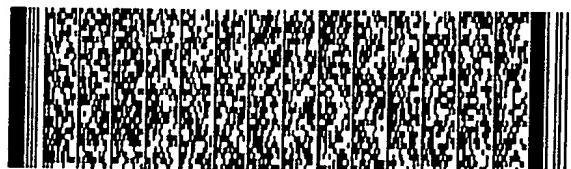
請繼續參照圖5以說明本發明較佳實施例之多晶片封裝體。其中，多晶片封裝體200至少包括一載板210、二晶片230、250、一封裝材料270、矽基板300、多條導線282。

承上所述，載板210係具有一上表面212及一下表面222，並且載板210還具有二晶片座214、216、多個打線連接墊218，其中晶片座214、216及打線連接墊218係設置在載板210之上表面212上，鋸墊224係設置在載板210之下表面222上。

晶片230具有一主動表面232及對應之一背面242，並且晶片230還具有接合晶片墊234與打線晶片墊236，個別設置在晶片230之主動表面232上的側邊。而晶片230係以其背面242並藉由一黏著材料244貼附在載板210之晶片座214上。並且，晶片250具有一主動表面252及對應之一背面262，並且晶片250還具有接合晶片墊254與打線晶片墊256，個別設置在晶片250之主動表面252上的側邊。而晶片250係以其背面262並藉由一黏著材料264貼附在載板210之晶片座216上。

矽基板300係具有凸塊墊302、凸塊墊304以及電性連通對應之凸塊墊302與凸塊墊304的導電線路306，且凸塊墊302、304係個別對應晶片230之接合晶片墊234與晶片250之接合晶片墊254，並且凸塊墊302、304係個別藉由凸塊312、314電性連接晶片230、250之接合晶片墊234、254，以電性連接晶片230、250。

而且，晶片230、250係透過導線282以使晶片230、250

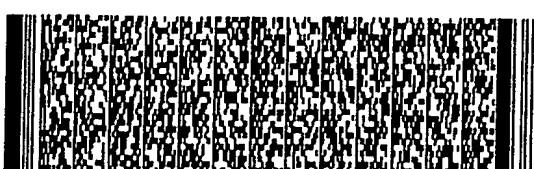
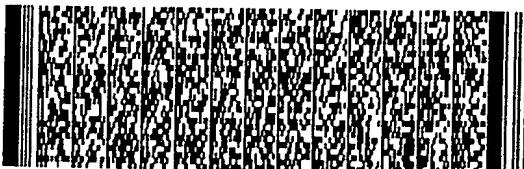


五、發明說明 (9)

個別與載板210電性連接，而導線282之一端係個別接合到晶片230、250之打線晶片墊236、256上，導線282之另一端係個別接合到載板210之打線連接墊218上。

另外，封裝材料270係包覆晶片230、250、載板210之主動表面212、矽基板300與導線282。而錨球284係設置在載板210之錨墊224上。值得注意的是，前述之載板除可為一般之封裝載板外(如印刷電路板)，亦可為一釘架型式之載板(未標示於圖中)，以使多晶片堆疊封裝構造可藉由表面黏著技術將其直接設置於母板上，而不需另行設置錨球於載板下表面之接點處以與外界電性導通。

於本實施例之詳細說明中所提出之具體的實施例僅為了易於說明本發明之技術內容，而並非將本發明狹義地限制於該實施例，因此，在不超出本發明之精神及以下申請專利範圍之情況，可作種種變化實施。



圖式簡單說明

(五)、【圖式之簡單說明】

圖1為一示意圖，顯示習知一種多晶片封裝體的剖面示意圖。

圖2至圖5為一示意圖，顯示本發明較佳實施例之多晶片封裝體的封裝製程之剖面示意圖。

元件符號說明：

100、200：多晶片封裝體

110、210：載板

112、212：載板上表面

114、116、214、216：晶片座

118、218：打線連接墊

122、222：載板下表面

124、224：鋸墊

130、150、230、250：晶片

132、152、232、252：晶片主動表面

134、154、234、254：接合晶片墊

136、156、236、256：打線晶片墊

142、162、242、262：晶片背面

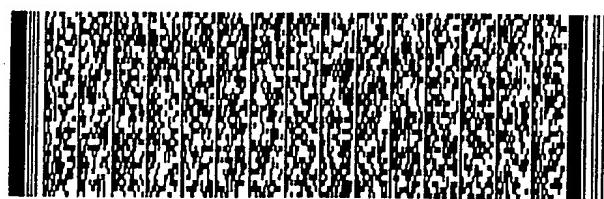
144、164、244、264：黏著材料

170、270：封裝材料

180、182、282：導線

184、284：鋸球

234、254：接合晶片墊



圖式簡單說明

236、256：打線晶片墊

300：矽基板

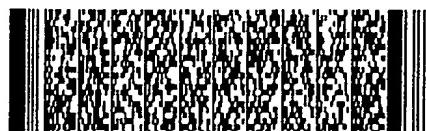
302、304：凸塊墊

306：導電線路

312、314：凸塊

400：封膠模具

402：模穴



六、申請專利範圍

1. 一種多晶片封裝體，包含：

一載板，具有一上表面與複數個打線連接墊，並且該打線連接墊係設置於該上表面；

一第一晶片，具有一第一主動表面、一第一背面、至少一第一打線晶片墊與至少一第一接合晶片墊，其中該第一晶片係以該第一背面設置在該載板之該上表面，並且該第一打線鋸墊與該第一接合鋸墊係設置在該第一主動表面；

一第二晶片，具有一第二主動表面、一第二背面、至少一第二打線晶片墊與至少一第二接合晶片墊，其中該第二晶片係以該第二背面設置在該載板之該上表面，並且該第二打線晶片墊與該第二接合晶片墊係設置在該第二主動表面；

一矽基板，具有至少一第一凸塊墊、至少一第二凸塊墊與至少一導電線路，其中該第一凸塊墊係藉由該導電線路電性連接該第二凸塊墊；

複數個凸塊，其中該些凸塊係個別設置於該第一凸塊墊與該第一接合晶片墊間以及設置於該第二凸塊墊與該第二接合晶片墊間，並藉由該等凸塊使該矽基板與該第一晶片、該第二晶片電性連接；及

複數條導線，分別電性連接該第一打線晶片墊、該第二打線晶片墊至該等打線連接墊。

2. 如申請專利範圍第1項所述之多晶片封裝體，其中更包含



六、申請專利範圍

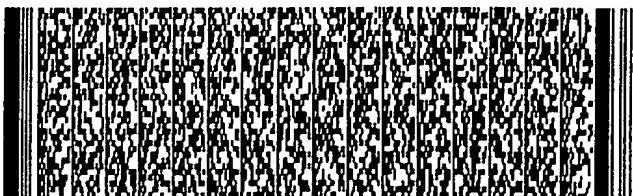
一封裝材料，該封裝材料係包覆該第一晶片、該第二晶片、該矽基板、該導線與該載板之該上表面。

3. 如申請專利範圍第1項所述之多晶片封裝體，其中該矽基板係為一晶片基板(die-substrate)。

4. 如申請專利範圍第1項所述之多晶片封裝體，其中該載板係為一基板。

5. 如申請專利範圍第1項所述之多晶片封裝體，其中該載板係為一釘架。

6. 一種多晶片封裝體之製造方法，至少包括下列步驟：
提供一載板，其中該載板具有一上表面與複數個打線連接墊，並且該打線連接墊係設置於該上表面；
於該載板之該主動表面上設置一第一晶片與一第二晶片，其中該第一晶片具有一第一主動表面、一第一背面、至少一第一打線晶片墊與至少一第一接合晶片墊，且該第一晶片係以該第一背面設置在該載板之該上表面，並且該第一打線鋸墊與該第一接合鋸墊係設置在該第一主動表面，該第二晶片具有一第二主動表面、一第二背面、至少一第二打線晶片墊與至少一第二接合晶片墊，且該第二晶片係以該第二背面設置在該載板之該上表面，並且該第二打線晶片墊與該第二接合晶片墊係設置在該第



六、申請專利範圍

二主動表面：

於該第一晶片與該第二晶片上設置一矽基板，其中該矽基板具有至少一第一凸塊墊、至少一第二凸塊墊與至少一導電線路，該第一凸塊墊係藉由該導電線路電性連接該第二凸塊墊，並且該矽基板係藉由複數個凸塊個別電性連接該第一凸塊墊與該第一接合晶片墊以及電性連接該第二凸塊墊與該第二接合晶片墊，以電性連接該第一晶片與該第二晶片；

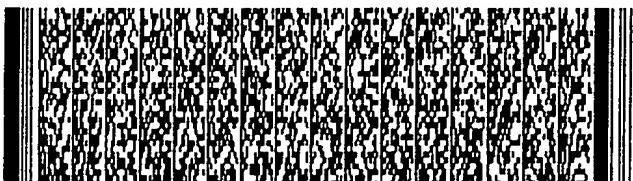
於該第一打線晶片墊、該第二打線晶片墊與該些打線連接墊間個別設置一導線；以及

於該載板之該上面設置一封裝材料，以包覆該第一晶片、該第二晶片、該矽基板、該些導線與該載板之該主動表面。

7. 如申請專利範圍第6項所述之多晶片封裝體之製造方法，其中該矽基板係為一晶片基板(die-substrate)。

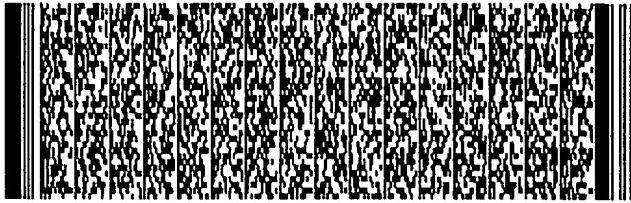
8. 如申請專利範圍第6項所述之多晶片封裝體之製造方法，其中該載板係為一基板。

9. 如申請專利範圍第6項所述之多晶片封裝體之製造方法，其中該載板係為一釘架。

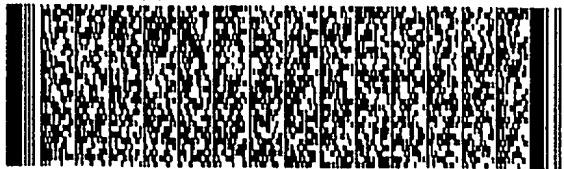


申請案件名稱:多晶片封裝體及其製造方法

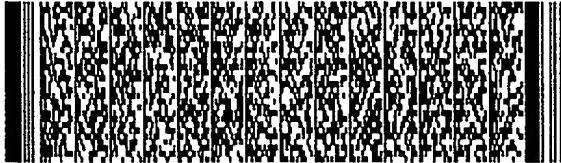
第 1/18 頁



第 2/18 頁



第 2/18 頁



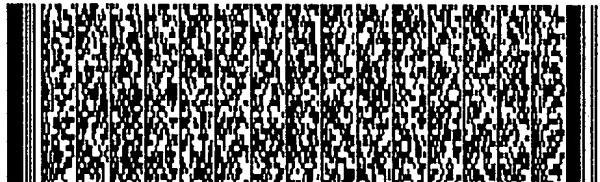
第 3/18 頁



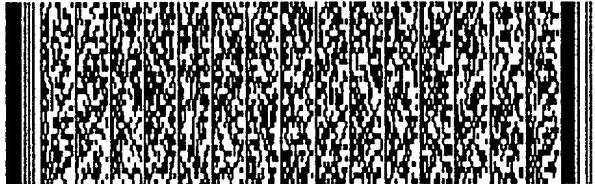
第 4/18 頁



第 5/18 頁



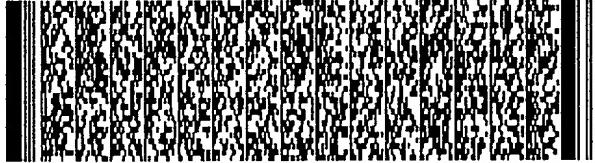
第 5/18 頁



第 6/18 頁



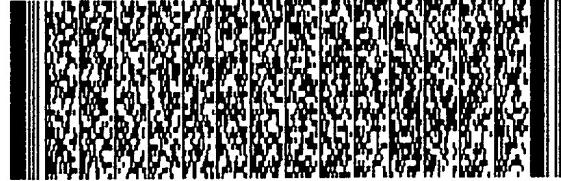
第 6/18 頁



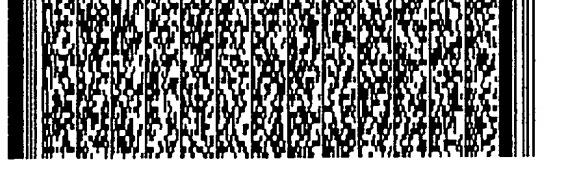
第 7/18 頁



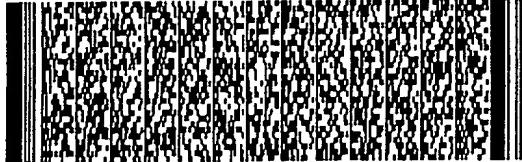
第 7/18 頁



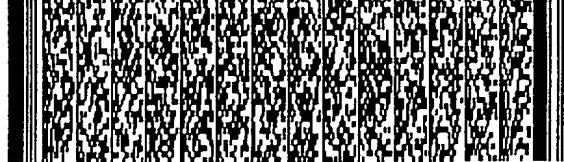
第 8/18 頁



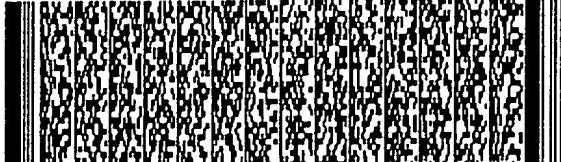
第 8/18 頁



第 9/18 頁



第 9/18 頁

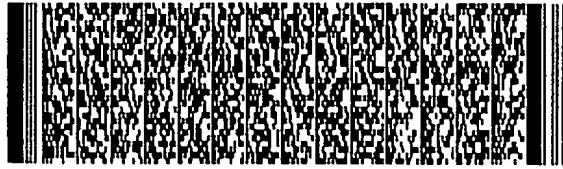


第 10/18 頁

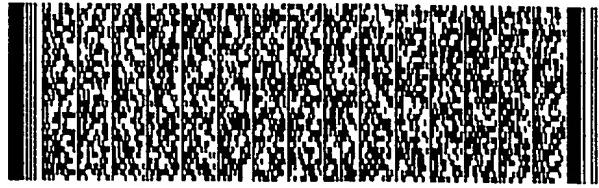


申請案件名稱:多晶片封裝體及其製造方法

第 10/18 頁



第 11/18 頁



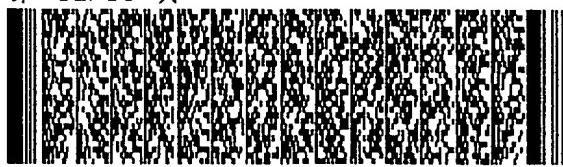
第 11/18 頁



第 12/18 頁



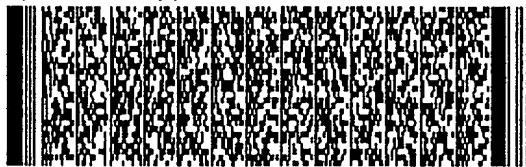
第 12/18 頁



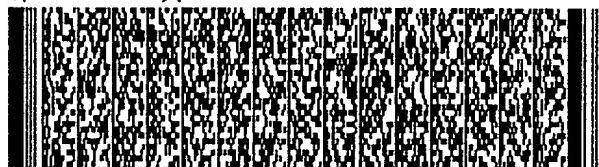
第 13/18 頁



第 13/18 頁



第 14/18 頁



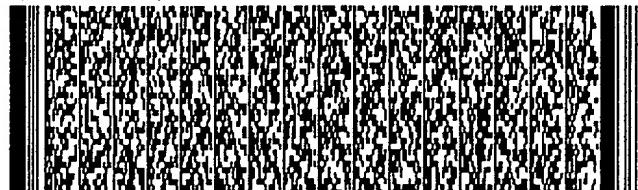
第 15/18 頁



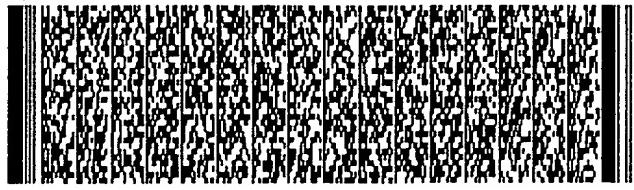
第 16/18 頁



第 17/18 頁



第 18/18 頁



圖式

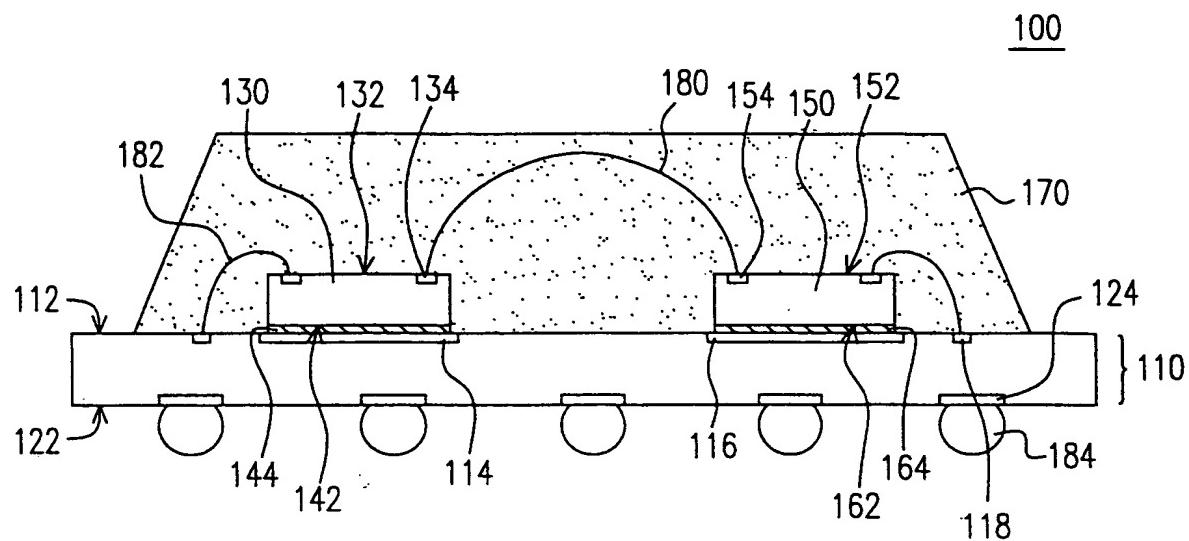


圖 1

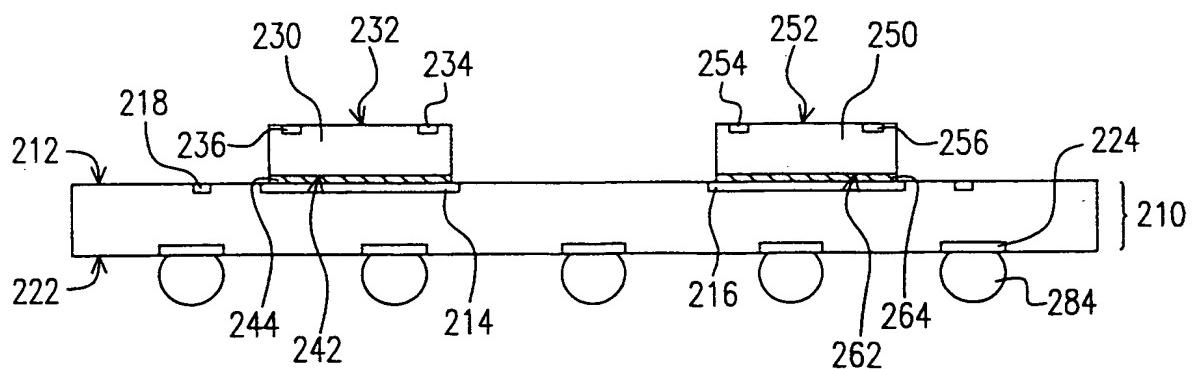


圖 2

裝

訂

線

圖式

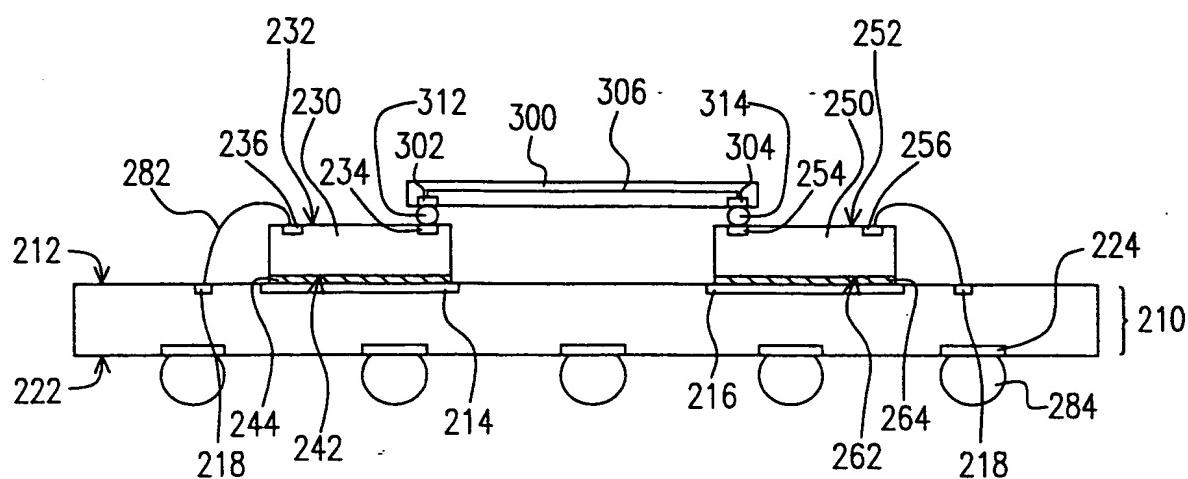


圖 3

裝

訂

線

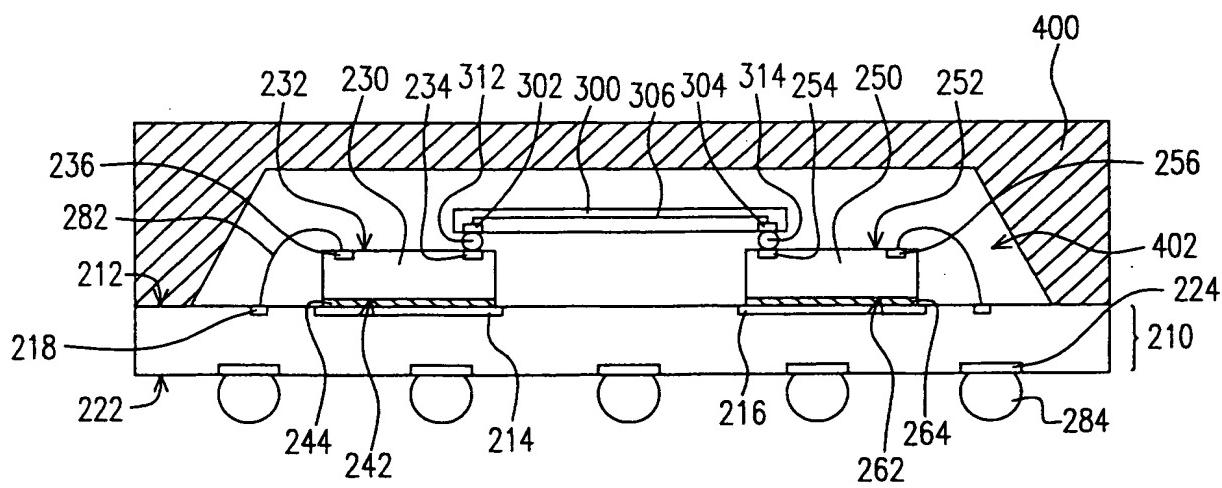


圖 4

圖式

裝

訂

線

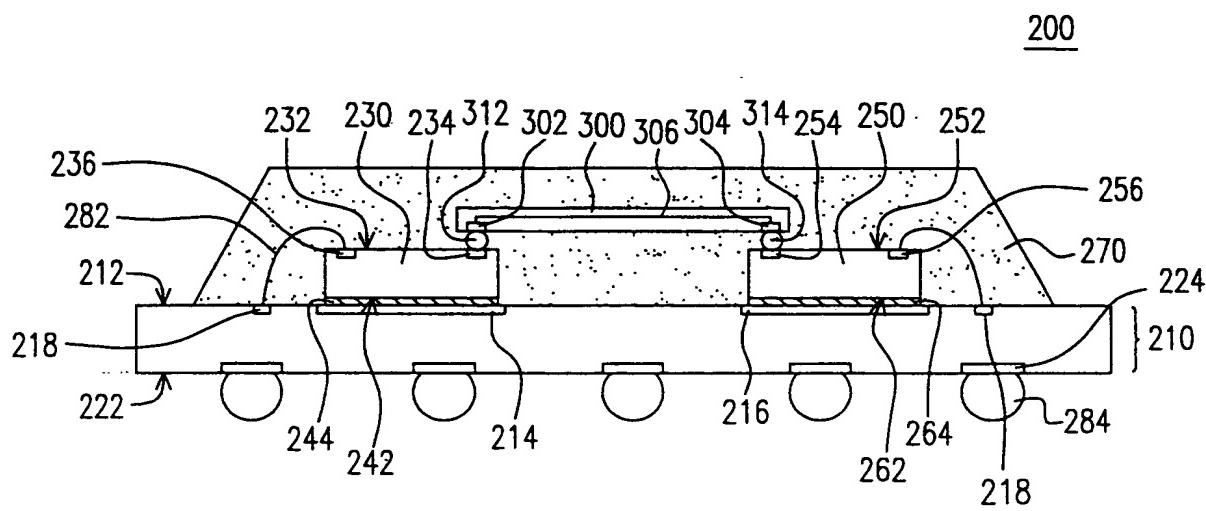


圖 5